

IFW

Attorney's Docket No. 5649-1118

PATENTIN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Oh et al.
Serial No. 10/657,490
Filed: September 8, 2003
For: INTEGRATED CIRCUIT DEVICES INCLUDING A MIM CAPACITOR

Confirmation No. 2683
Group Art Unit: 2818
Examiner: Mai Huong C. Tran

April 15, 2005

MAIL STOP ISSUE FEE
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

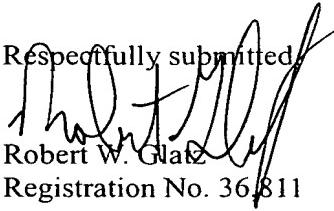
**PETITION TO ACKNOWLEDGE AND CONSIDER PREVIOUSLY FILED
INFORMATION DISCLOSURE STATEMENT**

Sir:

Applicants submitted an Information Disclosure Statement ("the IDS"), Form PTO-1449, and 2 cited references (Appendix A) on March 14, 2005. This submission included a self-addressed return postcard, which was returned indicating receipt of the above items at the United States Patent and Trademark Office. A copy of the stamped return-postcard and a print-out from the USPTO Patent Application Information Retrieval System (PAIR) evidencing receipt of the IDS on March 17, 2005 are attached hereto as Appendix B.

In light of the foregoing, Applicants request consideration of the IDS of March 14, 2005, and return of an initialed form PTO-1449 indicating consideration of the IDS of March 14, 2005.

It is not believed that a fee is required for the present petition. In the event, however, that a fee is necessary to allow consideration of this paper, the Commissioner is authorized to charge Deposit Account No. 50-0220.

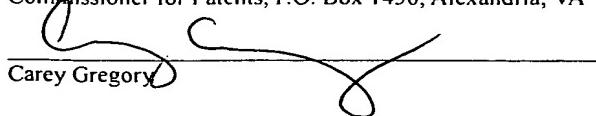
Respectfully submitted,

Robert W. Glazier
Registration No. 36,811

Customer Number: 20792**CERTIFICATE OF MAILING UNDER 37 CFR § 1.10**

"Express Mail" mailing label number EV675783033US

Date of Deposit: April 15, 2005

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to Mail Stop Patent Application, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.


Carey Gregory



Attorney's Docket No. 5649-1118

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Oh et al.
Serial No. 10/657,490
Filed: September 8, 2003
For: INTEGRATED CIRCUIT DEVICES INCLUDING A MIM CAPACITOR

Confirmation No. 2683
Group Art Unit: 2818
Examiner: Mai Huong C. Tran

March 14, 2005

Mail Stop Amendment
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

**INFORMATION DISCLOSURE STATEMENT UNDER 37 C.F.R. § 1.97(c)
FOR APPLICATION FILED AFTER JUNE 30, 2003**

Sir:

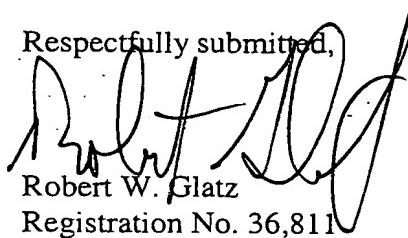
Attached is a list of documents on Form PTO-1449, together with a copy of any listed foreign patent document and/or non-patent literature. A copy of any listed U.S. patent and/or U.S. patent application publication is not provided herewith in accordance with the amendment by the U.S. Patent and Trademark Office to 37 C.F.R. § 1.98(a)(2)(ii) effective October 21, 2004. Also enclosed is a translation or a concise explanation of each non-English language document enclosed. It is requested that these documents be considered by the Examiner and officially made of record in accordance with the provisions of 37 C.F.R. § 1.56 and Section 609 of the MPEP.

This Information Disclosure Statement is submitted in accordance with 37 C.F.R. § 1.97(c), before final Office Action or Allowance, whichever is earlier. In accordance with the requirements of 37 C.F.R. § 1.97(c)(1), the following Certification as specified in 37 C.F.R. § 1.97(e) is made:

Each item of information contained in this Statement was first cited in a communication from a foreign patent office in a counterpart application not more than three (3) months prior to the filing of this statement.

In re: Oh et al.
Serial No.: 10/657,490
Filed: September 8, 2003
Page 2

Respectfully submitted,



Robert W. Glatz
Registration No. 36,811

Myers Bigel Sibley & Sajovec, P.A.
P. O. Box 37428
Raleigh, North Carolina 27627
Telephone: (919) 854-1400
Facsimile: (919) 854-1401
Customer No. 20792

Certificate of Mailing under 37 CFR 1.8

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Mail Stop Amendment, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on March 14, 2005.



Carey Gregory

FORM PTO-1449 U.S. Department of Commerce Patent and Trademark Office				Attorney Docket Number 5649-1118			Serial No. 10/657,490
LIST OF DOCUMENTS CITED BY APPLICANT (Use several sheets if necessary)				Applicants: Oh et al			
				Filing Date: September 8, 2003		Group 2683	
U. S. PATENT DOCUMENTS							
Examiner Initial		Document Number	Date	Name	Class	Subclass	Filing Date if Appropriate
FOREIGN PATENT DOCUMENTS							
		Document Number	Date	Country	Class	Subclass	Translation Yes No
1.		1020030037215	5/12/03	Korea			abstract
OTHER DOCUMENTS (Including Author, Title, Date, Pertinent Pages, Etc.)							
2.	Notice to File Response for corresponding Korean Application No. 2002-0078905 dated December 17, 2004 (English Translation).						

EXAMINER _____

*EXAMINER _____

DATE CONSIDERED

Initial if reference considered, whether or not citation is in conformance with MPEP 609; draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.



(19)



KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11) Publication

number:

1020030037215 A

(43) Date of publication of application:

12.05.2003

(21) Application number: 1020010068387

(71) Applicant:

HYNIX SEMICONDUCTOR
INC.

(22) Date of filing: 03.11.2001

(72) Inventor:

JUNG, YONG SIK

(51) Int. Cl

H01L 27/108

(54) METHOD FOR FABRICATING SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: A method for fabricating a semiconductor device is provided to embody a Gigabit dynamic random access memory(DRAM) by forming a three-dimensional structure of a metal-insulator-metal(MIM) capacitor, and to simplify a fabricating process by simultaneously embodying an analog capacitor and a cell capacitor of DRAM in forming a merged DRAM with logic or an embedded DRAM with logic while using an MIM structure.

CONSTITUTION: An interlayer dielectric is formed on the front surface of a completed substrate. The interlayer dielectric is selectively etched to simultaneously define a cell capacitor formation region and a logic analog capacitor formation region. The first conductive layer is formed on the defined region to form lower electrodes(96,97) of a cell capacitor and a logic analog capacitor. A capacitor dielectric layer(99) is formed on the first conductive layer. The second conductive layer for a capacitor upper electrode(100) is formed on the dielectric layer.

&copy; KIPO 2003

Legal Status

Date of final disposal of an application (20031230)

Patent registration number (1004155370000)

Date of registration (20040106)

출력 일자: 2004/12/18

발송번호 : 9-5-2004-053352255
발송일자 : 2004.12.17
제출기일 : 2005.02.17

수신 : 서울 서초구 서초3동 1571-18 청화빌딩 2
층(리&목특허법률사무소)
이영필 귀하

137-874

특허청
의견제출통지서

2004.12.18
17086

출원인
명칭 삼성전자주식회사 (출원인코드: 119981042713)
주소 경기도 수원시 영통구 매탄동 416

대리인
성명 이영필
주소 서울, 서초구 서초3동 1571-18 청화빌딩 2층(리&목특허법률사무소)

출원번호
10-2002-0078905

발명의 명칭
MIM(Metal-Insulator-Metal)캐패시터를 갖는
반도체 소자

이 출원에 대한 실사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지합니다. 의견이 있거나 복정이 필요할 경우에는 살기 제출기일까지 의견서[특허법시행규칙 별지 제25호의2서식] 또는/혹은 복정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다.(살기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장 승인을 받지는 하지 않습니다.)

[이유]

이 출원발명은 그 출원한 날전에 한 출원으로서 이 출원후에 공개된 2001년 출원 제 68387호(국내 공개특허공보 2003년 제37215호(본원))의 출원서에 최초로 출원한 명세서 또는 도면에 기재된 발명과 동일한 것으로 (이 출원의 발명자가 그 출원전에 출원한 살기 발명자와 동일하지 않으며 또한 이 출원시 출원인이 그 출원전에 출원한 살기 특허 출원의 출원인과 동일하지 않음) 특허법 제29조제3항의 규정에 의하여 특허를 받을 수 없습니다.

[아래]

본원 발명은 MIM 캐패시터에 있어 상부전극 상에 제1 비아홀을 갖는 제1 층간절연막 및 배선층 및 상기 독립배선층을 노출하는 제2 비아홀을 갖는 제2 층간절연막 및 상기 제2 비아홀 내에 형성되어 독립배선층을 통하여 MIM 캐패시터의 상부전극과 연결되는 배선층을 포함하는 것을 특징으로 하는 반도체 소자인 것을 특징으로 하고 있으나, 이는 본원 발명의 출원 전에 출원되어 본원 발명의 출원 후에 공개된 국내공개특허공보 2003-37215호(2003.05.12)의 하부구조들이 형성된 반도체 기판 상에 캐패시터 하부전극, 유전체막, 상부전극을 형성하고 상기 상부전극 상에 절연막을 형성한 후 상부전극과 접속되는 금속배선을 형성하고 상기 구조를 상에 절연막을 형성한 후 상기 금속배선과 접속되는 금속배선을 형성한 반도체 소자의 구성과 동일한 것으로 판단됩니다.

[첨부]

첨부1 국내공개특허공보 제2003-37215호(2003.05.12) 1부. 끝.

2004.12.17

특허청

전기전자심사국

응용소자심사담당관실

심사관 조지은

179430

특 2003-0087215

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.⁷

HDIL 27/108

(11) 공개번호 특 2003-0087215

(43) 공개일자 2003년 05월 12일

(21) 출원번호 10-2001-0068387
(22) 출원일자 2001년 11월 03일

(71) 출원인 주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1
정용식(74) 대리인 특허법인 신성
총청북도청 주시흥덕구봉명동 1602번지 주공2단지마파트 106-505설사첨부 : 있음

(54) 반도체 소자 제조 방법

요약

본 발명은 간단하며 안정된 공정에 의해 고속의 안정된 동작이 가능한 반도체 소자 제조 방법을 제공하기 위한 것으로, 이를 위해 본 발명은 메모리 캐리어와 로직 영역을 구비한 반도체 소자 제조 방법에 있어서, 소정 공정이 완료된 기판 전면에 충간절연막을 형성하는 단계; 상기 충간절연막을 선택적으로 식각하여 셀 캐퍼시터 형성 영역과 로직 마이크로그 캐퍼시터 형성 영역을 동시에 정의하는 단계; 상기 셀 캐퍼시터와 상기 로직 마이크로그 캐퍼시터의 하부전극 형성을 위해 상기 정의된 영역 상에 제1전도층을 형성하는 단계; 상기 제1전도층 상에 캐퍼시터 유전체층을 형성하는 단계; 및 상기 유전체층 상에 캐퍼시터 전극을 제2전도층을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자 제조 방법을 제공한다.

또한 본 발명은, 메모리 셀 영역과 로직 영역을 구비한 반도체 소자 제조 방법에 있어서, 소정 공정이 완료된 기판 전면에 충간절연막을 형성하는 단계; 상기 충간절연막을 선택적으로 식각하여 셀 캐퍼시터 형성 영역과 로직 마이크로그 캐퍼시터 형성 영역 및 금속 배선 형성 영역을 동시에 정의하는 단계; 상기 셀 캐퍼시터와 상기 로직 마이크로그 캐퍼시터의 하부전극 및 금속 배선 형성을 위해 상기 정의된 영역 상에 제1전도층을 형성하는 단계; 상기 제1전도층 상에 캐퍼시터 유전체층을 형성하는 단계; 및 상기 유전체층 상에 캐퍼시터 상부전극을 제2전도층을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자 제조 방법을 제공한다.

도표도

도3a

목언어

MDL, DRAM, 로직 영역, 메모리 셀, 캐퍼시터, 다마신, EDL

영세서

도면의 각요한 설명

도 1a 내지 도 1h는 제1증례기술에 따른 반도체 소자 제조 공정을 도시한 단면도,

도 2a 내지 도 2d는 제2증례기술에 따른 반도체 소자 제조 공정을 도시한 단면도,

도 3a 내지 도 3h는 본 발명에 따른 반도체 소자 제조 공정을 도시한 단면도。

*도면의 주요 부분에 대한 부호의 설명

71 : 셀 영역

72 : 로직 영역

73 : 마이슬레이션

74 : 게이트전극

75 : 게이트 하드마스크

76 : 소스/드레인 접합

77 : 측벽 스페이서

78, 80, 87, 88, 91, 93, 101, 102 : 충간절연막

- 79, 83, 84 : 콘택 퀼러그
 85 : 비트라인
 86, 103, 104, 105 : 금속배선
 89, 92 : 식각명출막
 96, 97 : 하부전극
 99 : 유전체층
 100 : 상부전극

발명의 실질과 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 기술에 관한 것으로, 특히 반도체 소자 제조 방법에 관한 것으로, 더욱 상세하게는 차세대 DRAM(Dynamic Random Access Memory)의 제조에 적합하게 사용될 수 있고 또한 MDL(Merged DRAM with Logic)이나 EDL(Embedded DRAM with Logic)의 제조시 마날로그 캐퍼시터를 DRAM 셀 캐퍼시터 제조시 추가 공정 없이 형성할 수 있는 방법에 관한 것이다.

반도체 산업에서 가격 경쟁력을 높이기 위한 최선의 방법은 제조 기술의 미세화를 이루어 월 사이즈를 기판 당 칩 수를 증가시킴과 동시에 수율의 향상을 꾀하는 것인 바, DRAM에 있어서 월 사이즈를 풀임으로서 상기한 이들을 얻을 수 있으나 DRAM 단위 셀이 요구하는 캐퍼시턴스 값은 고정되어 있기 때문에 셀의 캐퍼시턴스 값을 유지하기 위해 캐퍼시터의 표면적을 일정하게 유지해야 한다.

제조기술이 미세화 되어갈 때 따라 셀 캐퍼시턴스를 유지하기 위한 방법으로는 두가지 방법이 있는데, 첫 번째 방법은 셀 캐퍼시터의 높이를 높임으로써 그 표면적을 증대시키는 것이고, 두번째 방법은 셀 캐퍼시터의 유전체질의 적절한 선택을 통해 유전체를 높은 재료를 선택하는 방법이며, 현재의 질화막(Silicon nitride) 대신 Ta_2O_5 나 BST($Ba, SrTiO_3$) 등을 채택하고 있다.

또, 최근에 들어 여러가지 장점 때문에 SOC(System On Chip)의 필요성이 강력히 대두되고 있으며 특히, 메모리 셀 예컨대, DRAM과 로직회로를 동일 힘에 구현하는 기술이 요구되고 있으며 이에 MDL, EDL 등이 등장하게 되었다. 대부분의 로직회로엔 마날로그회로가 포함되어 있고, 특히 마날로그 캐퍼시터의 사용이 점차 일반화되고 있다.

상기와 같은 MDL 등의 조건을 충족시키기 위해 여러 시도가 있어 왔는 바, DRAM 셀 캐퍼시턴스를 높이기 위해 셀 캐퍼시터의 높이를 높이고, 하부전극 형성 후 그 표면에 HSG(Hemi-Spherical Grain)을 형성시켜 표면적을 늘리는 방법이 시도되고 있다.

또, 고유전체의 유전체질을 사용하기 위해 Ta_2O_5 의 경우 MIS(Metal Insulator Silicon)를 사용하고 있고 BST나 그 이외의 다른 물질을 사용하기 위해 MIM(Metal Insulator Metal)의 구조로 변화하고 있다.

MDL에서 셀 캐퍼시턴스를 형상시키기 위해 MIM 구조의 셀 캐퍼시터를 형성시키고 마날로그 캐퍼시터를 구현하기 위해 추가의 금속전극(Metal electrode)과 마날로그 캐퍼시터 유전체를 사용하는 기술이 현재의 주세이다.

하지만, 상기와 같은 공정 기술의 구성에서는 DRAM 셀 캐퍼시터와 로직 마날로그 캐퍼시터를 각각 구현하기 때문에 다음과 같은 문제점이 발생하게 된다.

1. 공정의 복잡도가 증가하게 된다.
2. 제조 기술의 미세화로 고유전체의 유전체 물질을 사용하는 동시에 상당한 높이의 셀 캐퍼시터를 제조 해야 하는 바, 셀 캐퍼시터의 높이가 높아져 후속의 콘택홀(Contact hole) 공정에서 콘택 깊이(Depth)가 깊어져 이를 매클하기가 어려워지며 공정 난이도가 증가하여 제조의 신뢰성에 문제가 발생하게 된다.
3. 차세대 DRAM용 캐퍼시터 전극의 대표적인 물질은 Pt나 Ru인데 재료의 가격이 높기 때문에 전극재료를 효율적으로 사용해야 하나, 기존의 경우 효율적인 사용이 어렵다.

<제1증래기술>

도 1a 내지 도 1b는 제1증래기술에 따른 반도체 소자 제조 공정을 도시한 단면도이다.

먼저, 도 1a에 도시된 바와 같이 기판에 로직 영역(12)과 셀영역(11)의 웨일 및 아이솔레이션(Isolation, 13)을 형성시킨 다음, 게이트전극(14)/게이트 하드마스크(15)를 증착 후 패터닝한다.

여기서, 게이트전극(14) 물질로 D-폴리실리콘이나 텅스텐 실리사이드 및 텅스텐의 조합으로 사용되며, 게이트 하드마스크(15) 재료로 산화막이나 질화막 또는 이들의 조합 등을 사용한다.

이어서, 미온주입 등을 이용하여 소스/드레인 접합(16)을 형성시킨 다음, 게이트전극(14) 및 게이트 하드마스크(15)에 측벽 스파이서(Sidewall spacer, 17)를 형성시킨다. 경우에 따라 셀영역의 접합과 로직 영역에서의 소스/드레인 접합의 놓도를 달리하여, 소스/드레인 접합(16)의 저항이나 후속 콘택 저항을 줄이기 위해 살리사이드(Self align silicide, Salicide) 공정을 적용하기도 한다. 또한, 측벽

스페이서(17) 재료로 산화막, 질화막 또는 이들의 조합을 사용하가도 한다.

계속해서, 게이트 하드마스크(15)를 포함한 전체 구조 상부에 충간절연막(18)을 증착시킨 다음 평탄화한다.

다음으로, 도 1b에 도시된 바와 같이 O-폴리실리콘 또는 텁스텐 등을 이용하여 콘택트 플러그(19), 예컨대, 스토리지노드용 론판 플러그를 형성한 다음, 충간절연막(20)을 증착한 후, 셀영역(11)엔 비트라인 콘택트홀(21)을 로직 영역(12)엔 MOS(Metal Oxide Semiconductor)의 게이트전극(15) 또는 소스/드레인 접합(16)을 노출시키는 콘택트홀(22) 즉, 금속배선 콘택트홀을 형성시킨다.

다음으로, 도 1c에 도시된 바와 같이 상기 콘택트홀(21, 22)에 각각 맵링볼 플러그 예컨대, 비트라인 펜던트 플러그(23)와 MOS 콘택트 플러그(24)를 형성한 다음, 셀영역(11)에는 비트라인(25)을 로직 영역(12)에 금속배선(26)을 형성하는 바, 그 연결로는 텁스텐 또는 텁스텐 실린자마트를 이용한다.

이어서, 비트라인(25) 및 금속배선(26)이 형성된 전체 구조 상부에 충간절연막(27, 28)을 형성하는 바, 도면부호 '27'은 비트라인(25)의 산화방지 및 절학력을 높이기 위한 것으로 생각되기도 한다.

다음으로, 도 1d에 도시된 바와 같이 셀영역(11)의 충간절연막(27, 28)을 선택적으로 식각하여, 콘택트 플러그(19) 표면을 노출시키는 콘택트홀을 형성한 다음, 전도성 물질을 이용하여 플러그(29)를 형성하는 바, 이러한 미중 플러그 기술은 패턴의 미세화에 따른 웰 캐퍼시터스의 증가를 위해 셀 캐퍼시터의 높이를 높이기 위해 사용되는 것으로, 도면부호 '19'와 '29'로 이루어지는 미중 플러그는 후속 웰 캐퍼시터 하부전극 즉, 스토리지노드용 플러그로 이용된다.

계속해서, 도 1e에 도시된 바와 같이 플러그(29) 및 충간절연막(18)을 포함한 전체 구조 상부에 식각명출막(30) 및 충간절연막(31)을 차례로 증착한 다음, 셀영역(11)에서 후속 하부전극이 형성될 영역의 충간절연막(31)과 식각명출막(30)을 선택적으로 식각하여 제거한다.

여기서, 식각명출막(30)은 습식식각시 마스킹(Masking)층으로 사용되므로 습식식각의 케미칼(Chemical) 조성에 따라 바뀌게 되며, 통상 질화막계열의 물질이 사용된다.

이어서, 전체 구조 상부에 폴리실리콘 또는 텁스텐 등의 하부전극을 재료를 증착하여 셀 캐퍼시터용 하부전극(32)을 형성한 다음, 전체 구조 상부에 절연막(33)을 형성하는 바, 절연막(33)은 하부전극(32) 식각을 위한 것으로 SOG(Spin On Glass) 또는 필드산화막 등에 이용되는 산화막 등이 사용된다.

이어서, 충간절연막(21) 표면이 노출될 때까지 화학기계적 연마(Chemical Mechanical Polishing; 미하 CMP라 함)를 실시함으로써, 미우하는 하부전극(32)간 분리가 이루어지도록 한 다음, 셀영역(11) 상의 충간절연막(31) 및 절연막(33)을 선택적으로 제거하여 하부전극(32)이 노출되도록 한다.

다음으로, 도 1f에 도시된 바와 같이 DRAM 캐퍼시터 유전체층(34)과 상부전극(35)을 형성하는 바, 유전체층(34)은 통상의 산화막 계열 또는 Ta_2O_5 등을 이용할 수 있다.

다음으로, 도 1g에 도시된 바와 같이 상부전극(35)을 포함한 전체 구조 상부에 충간절연막(26, 27)을 증착한 다음, 식각 및 증착과 식각 공정을 반복함으로써 금속배선(36, 39, 40)을 형성한다.

이 때, 금속배선(38, 39, 40)은 로직 영역(12)에서 마날로그 캐퍼시터의 하부전극(36)으로 사용되는 동시에 로직이나 웰 주변영역의 물질배선을 연결하는 배선(39) 역할도 하게 되며, 로직 마날로그 캐퍼시터의 하부전극(38)으로는 AI 또는 텁스텐 등을 이용한다.

이어서, 산화막, 질화막 또는 이들의 조합을 이용하여 로직 마날로그 캐퍼시터용 유전체층(41)을 증착한 다음, TiN 등을 이용하여 상부전극(42)을 증착한 후, 로직 영역(12)의 마날로그 캐퍼시터 상부전극(42)을 패터닝하는 바, 이 때 로직 마날로그 캐퍼시터의 유전체층(41)은 캐퍼시터 이외의 영역에서는 식각되어 제거된다.

다음으로, 도 1h에 도시된 바와 같이 충간절연막(43, 45)과 금속배선(44)을 형성함으로써, MOL 등의 반도체 소자 제조 공정이 완료된다.

그러나, 상기한 바와 같이 이루어지는 제1증래기술의 경우 다음과 같은 문제점이 발생하게 된다.

1. 셀영역에서의 디지털 캐퍼시터용 전극 형성 시 그 전극 물질을 기판 전면에 증착한 후 로직 영역에서의 증착된 전극 물질을 제거하고, 로직 영역에서의 캐퍼시터 형성 시에도 셀영역에 증착된 전극 물질을 제거해야하므로 귀금속인 전극 물질의 소모에 따른 경비 부담에 따라 셀 캐퍼시터 형성을 MOL과 SIS 구조로 부에 형성시킬 수 없다. 이는 공정이 복잡해짐은 물론 공정 미세화에 의해 저장 용량이 한계에 도달하게 된다.

2. DRAM 등의 셀 공정 완료 후 로직 영역에서의 금속배선을 형성하기 때문에 로직 영역의 금속배선용 콘택트홀 깊이가 깊어지며 이를 채우기 위한 공정이 어려워진다. 이 문제점은 패턴이 미세화될수록 더욱 심각한 결과를 초래한다.

3. MOL 등의 반도체 소자에서 로직 마날로그 캐퍼시터를 금속배선을 사이에 형성시키는데에 있다. 즉, 공정 수가 증가하는 문제가 있고, 더욱 심각한 문제는 마날로그 캐퍼시터의 타оп로지(Topology)로 인해 충간절연막의 평탄화가 어려워진다.

<제2증래기술>

한편, 다음은 미국특허(Method of fabricating DRAM (US 6,143,601) UMC Taiwan))을 나타내는 제2증래기술로서 미하 첨부한 도 2a 내지 2d를 참조하여 상세하게 설명한다.

먼저, 도 2a에 도시된 비와 같이 기판에 로직 영역(22)과 DRAM 등의 웰영역(51)의 웰(Well) 및 아미슬레미션(53)을 형성시킨 후, 게이트전극(54)/게이트하드마스크(55)를 중첩 형성 패턴링한다.

여기서, 게이트전극(54)을 질로-0-폴리실리콘이나 텅스텐 실리사미드 및 텅스텐의 조합으로 사용되며, 게이트 하드마스크(55) 재료로 산화막이나 질화막 또는 이들의 조합 등을 사용한다.

이어서, 통상적인 미온주입 등을 이용하여 소스/드레인 접합(56)을 형성시킨 다음, 게이트전극(54) 및 게이트 하드마스크(55)에 충분 스페이서(57)를 형성시키는 바, 경우에 따라 웰영역에서의 소스/드레인 접합(56)과 웨이퍼 밸리에서의 소스/드레인 접합(56)의 풍도율을 달리하며, 소스/드레인 접합(56)의 제형이나 접합을 줄이기 위해 살리만드를 광학율을 적용하기도 한다. 또한, 충분 스페이서(57) 채용 후 산화막, 질화막 또는 이온화막의 조합들을 사용하기도 한다.

게임은 하드미스터(HM)를 포함한 전체 구조 상부에 충전기역학(HM)을 통해 탄화하는 경우에 따라 게임이 예상되는 시에 충전이 되어 출판사이드/캐피털 구조를 확장하게 되며, 예상되는 시에 충전이 되면 출판사에서 게임을 판매하는 행위를 한다.

한국(韓國)은 벨로이(51)의 비트라인 문체(59)/비트라인(60)과 함께 열역(52)의 금속배선(金屬配線)
방식(60)이 동시에 출현된다.

도시된 바와 같이 충간점(61)은 물질층(62)과 물질층(63)을 사이에 두고 있는 듯한 구조이다. 물질층(62)은 물질층(63)과 같은 물질로 이루어져 있다. 물질층(62)은 물질층(63)과 같은 물질로 이루어져 있다.

다음으로, 도 26에 도시된 바와 같이 셀영역(51)의 하부진구미 형성을 캐페시터 절연막(63)을 선택적으로 식각하여 미와 동시에 링크(52)의 깊숙한 헌트미 형성(53)을 형성하는 것으로 한다.

식각공정이 완료된 후, 텁스텐 등의 셀 캐패시터 하부전극용 물질을 증착한 다음, 캐패시터 절연막(63) 표면이 드러날 때까지 CMP 또는 전면식각 등을 실시함으로써, 셀영역에는 하부전극(64)이, 로직 영역에는 텁스텐 등의 플러그(64)가 형성된다.

계측해서, 도 2d에 도시된 바와 같이 셀 캐퍼시터용 유전체층(65)을 증착한 후, 셀 캐퍼시터가 형성을 되는 영역(51)만 날도록 나머지 영역에서는 사진 식각 공정을 통하여 제거하는 바, 이 때 유전체층(65)을 절질로 Ta_2O_5 또는 BST 등을 사용한다.

미어서, 상부전극용 물질을 증착한 다음, 사진식각 공정을 통하여 로직배선(66) 및 셀 캐퍼시터용 상부전극(66')을 형성시킨다.

그러나, 상기한 바와 같이 이루어지는 제2종래기술의 경우에는 상기 제1종래기술보다 더 많은 문제점이 발생하는 바, 다음과 같다.

1. 우선, 상부전극을 위해 물질을 증착한 후, 디자인을 적절히 하여 전면식각 등을 통하여 상부전극을 형성하고자 한다고 하면, 미방법이 가능할지가 의문이다. MIS 풀 MIM 웰 캐패시터를 위하여 예상되는 충돌을 예상하기 위해 캐패시터층에 체 층을 중첩 후 전면식각을 포함하는 사진식각을 거쳐야 하는 바, 누설(Leakage) 특성이 우수해야 한다는 캐패시터 푸토트리지스터 및 플라크형 쟁점은 물론이거니와, 그 특성의 영향이 발생하게 된다.
 2. 웰 스토리지노드를 하부전극 형성시 동시에 형성시키므로 스토리지노드를 전극으로 채우기가 어렵다. 미세화될수록 더욱 쉽각하며, DRAM 웰 비트라인과 스토리지노드의 단락이 발생될 수 있다.
 3. 상기한 바와 같은 공정 적용으로 로직 마스크로 그 캐패시터를 형성시킬 경우 상기의 제1증례기술에서 언급한 바와 같이 공정 수가 증가하는 문제점이 있고, 더욱 쉽각한 문제는 마스크로 그 캐패시터의 타율로 지정된 면적을 확장시킬 수 있는 문제점이다.

불법이 아름고자하는 기술적 조건

본 발명은 삼기한 층래기술의 문제점을 해결하기 위해 제안된 것으로서, 비교적 간단하며 안정된 공정에 의해 고속, 고용량의 안정된 동작이 가능한 반도체 소자 제조법을 제공하는데 그 목적이다.

문장의 구성 및 쪽동

제이시 허리케인은 그의 작품에 대한 소망을 드러냈다. 그는 자신의 작품을 통해 관객에게 감동과 영감을 전하고자 했던 것이다. 그의 작품은 그의 철학과 세계관을 반영하는 듯한 특징이 있다. 예술을 통해 개인적인 경험과 세계관을 공유하는 것에 대한 열정이 그의 작품에 깊숙이 자리 잡고 있다.

단계: 및 상기 유전체총 상에 캐퍼시터 삼부전극용 제2전도층을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자 제작방법을 제공한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있도록 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부한 도면을 참조하여 설명한다.

도 3a 내지 도 3h는 본 발명에 따른 반도체 소자 제조 공정을 도시한 단면도로서, 이하 도 3a 내지 도 3h를 참조하여 살펴보면, 제조하는 반도체 소자는

먼저, 도 3a에 도시된 바와 같이 기판에 로직 영역(72)과 DRAM 등의 셀 영역(71)의 웨이 및
아이슬레이션(73)을 형성시킨 다음, 게이트전극(74)/게이트 하드마스크(75)를 증착 후 패터닝한다.

여기서, 게이트전극(74) 물질로 M-폴리실리콘이나 텅스텐 실리사이드 및 텅스텐의 조합으로 사용되며, 게이트 하드마스크(75) 물질로 산화막이나 질화막 또는 이들의 조합 등을 사용한다.

이어서, 이온주입 등을 통해 소스/드레인 접합(76)을 형성시킨 다음, 게이트전극(74) 및 게이트 하드마스크(75)에 소스/드레인 접합(76)을 형성시키는 바, 전위에 따라 셀영역에서의 소스/드레인 접합(76)과 게이트전극(75)에 소스/드레인 접합(76)의 농도를 달리한다. 소스/드레인 접합(76)의 저항이나 후속 풍정에 단계별 헌법화하는 또 다른 조건을 사용한다.

계속해서, 게이트 하드마스크(75)를 포함한 전체 구조 상부에 제1층간절연막(78)을 증착시킨 다음 평탄화 하드마스크(75)를 제거하는 바, 이러한 평탄화 과정을 생략하기 위해 자체 평탄성이 우수한 유동성 산화막 계열 또는 SOG 등으로 미루어볼 수도 있다.

다음으로, 도 3d에 도시된 바와 같이 콤파운드(81, 82)에 각각 매립된 플러그 예컨대, 셀영역에서는 비트라인 플러그(83), 로직 영역에서는 MOS 콤파운드 플러그(84)를 형성한 다음, 셀영역(71)에는 비트라인(85)과 로직 영역(72)에는 글로벌 인터커넥션 라인(Local Interconnection Line, 86)을 형성하는 바, 이 때 퍼스텐 또는 퍼스텐 실리사이드 등을 이용한다.

이 때, 식각염출막(89)은 흙속 습식식각이 마스킹층으로 사용되므로 습식식각의 케미칼 조성에 따라 바뀌게 되며, 통상 점화막 계열인 물질이 사용된다.

식각 후, 충간절연막(93)을 증착시키는 바, 충간절연막(93)의 높이에는 로직 마날로그 캐퍼시터 하부전극의 두께가 되며, 충간절연막(91, 93)은 셀 캐퍼시터 하부전극의 높이가 된다.

다음으로, 도 3b에 도시된 바와 같이 셀 캐퍼시터의 하부전극이 형성될 때(95)과 동시에 캐퍼시터의 영역(94)을 동시에 적층함으로써, 셀 영역의 스토리지노드가 형성된다.

이 때, 금속배선은 로직 영역에서 뿐만이 아니라 셀영역 내의 주변영역에서의 금속배선도 동일하게 적용 가능하다.

다음으로, 도 3b에 도시된 바와 같이, 하부전극용 전도층을 증착한 다음, 그 전면에 절연막(98)을 증착한

15-5

다.

여기서, 하부전극용 전도층 를 질로는 Pt, Ir, Ru 또는 이들의 산화물을 단독 또는 조합하여 사용할 수 있으며, 풀연막(98)을 SOG 또는 FOX를 포함할 수 있다.

또한, 하부전극(97) 형성 전에 하지 틀러그(79)와 콘택트되는 부분에서의 확산방지 특성을 향상시키기 위해 TiN, TaN 또는 ZrN 등을 사용할 수 있다.

이어서, 충간절연막(99) 표면이 노출될 때까지 CMP 또는 전면식각을 실시함으로써, 미온하는 하부전극(97)을 분리시켜 DRAM 캐퍼시터용 하부전극(97)과 로직 캐퍼시터용 하부전극(96)을 형성시킨다.

다음으로, 도 39에 도시된 바와 같이 사진 및 습식식각 공정을 통해 셀영역(71)의 충간절연막들(91, 93, 98)을 선택적으로 제거한다. 이 때, 식각방지막(89)은 습식식각용 마스크를 역할을 한다.

이어서, 셀 및 로직 마날로그 캐퍼시터용 유전체층(99)을 형성하는 바, BST, PZT, SBT 또는 Ta_2O_5 등을 출학한 다음, 상부전극용 전도층을 출학한 다음, 사진식각 공정을 실시하여 상부전극(100)을 형성한다.

다음으로, 도 39에 도시된 바와 같이 전면에 충간절연막(101, 102)을 차례로 출학한 다음, 충간절연막(101, 102)을 선택적으로 식각한 다음, 전도층들을 출학 후 패터닝하여 하여 금속배선(103, 104, 105)을 형성한다.

이 때, 배선라인은 로직영역(72)에서 마날로그 캐퍼시터의 상하부전극(96, 100)에 연결되는 동시에 로직이나 셀 주변영역의 배선을 연결하는 배선(104) 역할을 한다. 또한, 금속배선(95)은 셀영역(71)의 상부전극(100)에 연결되어 전압을 인가하는 역할도 하게 되며, 이러한 배선은 AI, V 또는 구리 등으로 이용할 수 있다.

상기한 바와 같이 이루어지는 본 발명은 다음과 같은 장점이 있다.

- DRAM 등의 셀에 MIM 구조의 셀 캐퍼시터 구조를 채용하여 유전률이 높은 캐퍼시터 유전체를 사용할 수 있으므로 패턴 미세화에 의한 DRAM 셀 캐퍼시터 면적 축소에 대응하여 높은 캐퍼시터스를 유지할 수 있다.
- 상, 하부전극을 사용함에 있어 문제로 되었던 식각의 어려움을 둔밀·다마신 공정을 적용하여 해결하였고, 차세대 기가급 DRAM에 적용할 수 있게 MIM 캐퍼시터의 3차원 구조를 얻을 수 있어 표면적 확보에 유리하다.
- DRAM 셀의 하부전극 형성시 로직 영역의 금속 콘택트를 형성시킬 수 있기 때문에 로직영역의 금속 콘택트 깊이를 낮게 관리하고, 채움을 쉽게 할 수 있어 보다 안정된 공정관리 및 수율 향상을 기대할 수 있다.
- 로직 마날로그 캐퍼시터를 MIM 구조를 채용하여 PIP에 비해 안정된 캐퍼시터스를 유지할 수 있고, 캐퍼시터를 형성하는데 추가되는 공정이 거의 없고 공정 난이도가 낮으며, 로직 마날로그 캐퍼시터에 추가되는 상부전극이 필요없기 때문에 타율로지가 완화되고, 후속 충간절연막의 평탄화가 용이해진다.

본 발명의 기술 사상을 살기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 기관련 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능할 수 있을 것이다.

발명의 효과

상술한 바와 같은 본 발명은 MIM 캐퍼시터의 3차원 구조를 구현하여 차세대 기가비트 DRAM의 구현을 가능할 수 있도록 하며, SOGA를 용이해지고, 특히 DRAM 혼재 칩 제조시 마날로그 캐퍼시터와 DRAM의 셀 캐퍼시터 구조를 동시에 배수로 구현하기 때문에 공정이 단순해지며, 비용절감 및 후속 공정의 안정화로 기여할 수 있는 효과를 기대할 수 있다.

(5) 청구의 범위

청구항 1. 메모리 셀영역과 로직 영역을 구비한 반도체 소자 제조 방법에 있어서,

소정 공정이 완료된 기판 전면에 충간절연막을 형성하는 단계;

상기 충간절연막을 선택적으로 식각하여 셀 캐퍼시터 형성 영역과 로직 마날로그 캐퍼시터 형성 영역을 동시에 정의하는 단계;

상기 셀 캐퍼시터와 상기 로직 마날로그 캐퍼시터의 하부전극 형성을 위해 상기 정의된 영역 상에 제1전도층을 형성하는 단계;

상기 제1전도층 상에 캐퍼시터 유전체층을 형성하는 단계; 및

상기 유전체층 상에 캐퍼시터 상부전극용 제2전도층을 형성하는 단계

을 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 2. 제 1 항에 있어서,

상기 충간절연막은 제1 및 제2 충간절연막이 적층된 것으로, 상기 로직 마날로그 캐퍼시터가 형성될 영역

상에서는 상기 제1 및 제2 층간절연막 사이에 식각먼출막을 더 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 3. 제 2 항에 있어서,

상기 제1전도층을 형성하는 단계는;

상기 정의된 영역 상에 제1전도층 물질을 증착하는 단계;

상기 제1전도층 상에 평탄화된 제3층간절연막을 형성하는 단계;

상기 제2층간절연막이 노출될 때까지 평탄화하는 단계; 및

상기 셀영역 상의 상기 제1, 제2 및 제3 층간절연막을 제거하는 단계

를 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 4. 메모리 셀영역과 로직 영역을 구비한 반도체 소자 제조 방법에 있어서,

소정 공정이 완료된 기판 전면에 층간절연막을 형성하는 단계;

상기 층간절연막을 선택적으로 식각하여 셀 캐퍼시터 형성 영역과 로직 마날로그 캐퍼시터 형성 영역 및 금속배선 형성 영역을 동시에 정의하는 단계;

상기 셀 캐퍼시터와 상기 로직 마날로그 캐퍼시터의 하부전극 및 금속배선 형성을 위해 상기 정의된 영역 상에 제1전도층을 형성하는 단계;

상기 제1전도층 상에 캐퍼시터 유전체층을 형성하는 단계; 및

상기 유전체층 상에 캐퍼시터 상부전극용 제2전도층을 형성하는 단계

를 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 5. 제 4 항에 있어서,

상기 층간절연막은 제1 및 제2 층간절연막이 적층된 것으로, 상기 로직 마날로그 캐퍼시터가 형성될 영역 상에서는 상기 제1 및 제2 층간절연막 사이에 식각먼출막을 더 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 6. 제 5 항에 있어서,

상기 제1전도층을 형성하는 단계는,

상기 정의된 영역 상에 제1전도층 물질을 증착하는 단계;

상기 제1전도층 상에 평탄화된 제3층간절연막을 형성하는 단계;

상기 제2층간절연막이 노출될 때까지 평탄화하는 단계; 및

상기 셀영역 상의 상기 제1, 제2 및 제3 층간절연막을 제거하는 단계

를 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 7. 제 4 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 금속배선은 셀영역 또는 로직 영역에 형성되는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 8. 메모리 셀영역과 로직 영역을 구비한 반도체 소자 제조 방법에 있어서,

다수의 도전영역을 갖는 기판 상의 제1층간절연막을 판통하여 상기 도전영역에 콘택트된 다수의 플러그를 셀영역 상에 형성하는 단계;

상기 플러그를 포함한 전체 구조 상부에 제2층간절연막을 형성하는 단계;

상기 제2층간절연막을 판통하여 상기 다수의 플러그 중 일부에 콘택트된 셀영역의 비트라인과 상기 제1 및 제2 층간절연막을 판통하여 상기 도전영역에 콘택트된 로직 영역 상의 제1배선층을 동시에 형성하는 단계;

상기 제1배선층 및 상기 비트라인을 포함한 전체 구조 상부에 제3층간절연막과 후속 캐퍼시터 및 금속배선 영역을 정의하기 위한 제1식각먼출막을 형성하는 단계;

상기 식각먼출막 상에 제4 및 제5층간절연막을 형성하는 단계;

상기 제4 및 제5층간절연막을 선택적으로 식각하여 상기 셀 캐퍼시터 형성 영역과 상기 로직 마날로그 캐퍼시터 형성 영역 및 금속배선 형성 영역을 동시에 정의하는 단계;

상기 셀 캐퍼시터와 상기 로직 마날로그 캐퍼시터의 하부전극 및 금속배선 형성을 위해 상기 정의된 영역

상에 제1전도층을 형성하는 단계;

상기 제1전도층 상에 캐퍼시터 유전체층을 형성하는 단계; 및

상기 유전체층 상에 캐퍼시터 상부전극용 제2전도층을 형성하는 단계

를 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 9. 제 8 항에 있어서,

상기 제4층간절연막 형성 후,

상기 로직 마닐로그 캐퍼시터가 형성을 영역 상에 제2식각암출막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 10. 제 6 항에 있어서,

상기 제1전도층을 형성하는 단계는,

상기 철워된 영역 상에 제1전도층 물질을 충족하는 단계;

상기 제1전도층 상에 평탄화된 제6층간절연막을 형성하는 단계;

상기 제5층간절연막이 노출될 때까지 평탄화하는 단계; 및

상기 셀영역 상의 상기 제4, 제5 및 제6 층간절연막을 제거하는 단계

를 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 11. 제 8 항 내지 제 10 항 중 어느 한 항에 있어서,

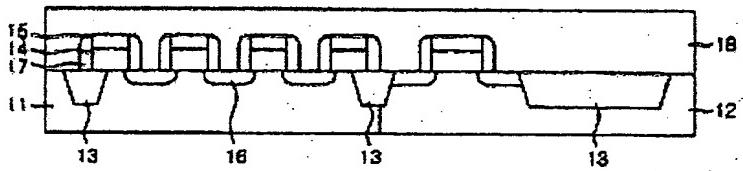
상기 금속배선은 셀영역 또는 로직 영역에 형성되는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 12. 제 8 항 내지 제 10 항 중 어느 한 항에 있어서,

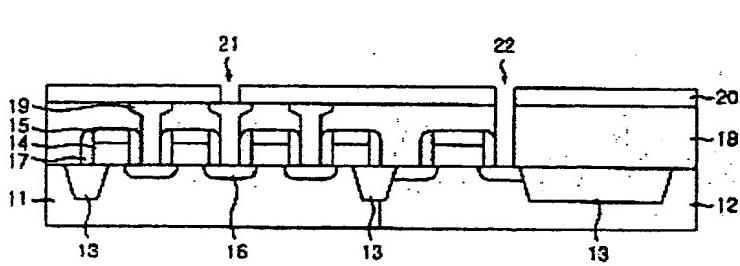
상기 도전영역은 셀영역에서는 트랜지스터의 소스/드레인 접합, 로직 영역에서는 트랜지스터의 게이트전극 또는 소스/드레인 접합인 것을 특징으로 하는 반도체 소자 제조 방법.

도면

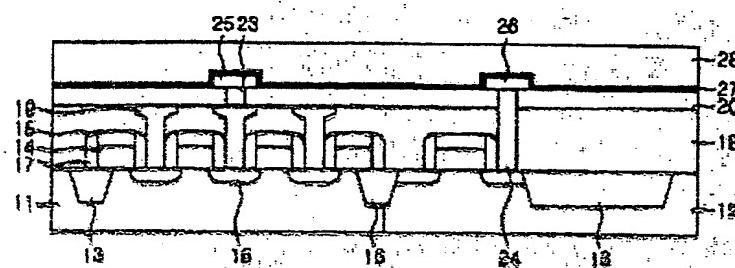
도면 A



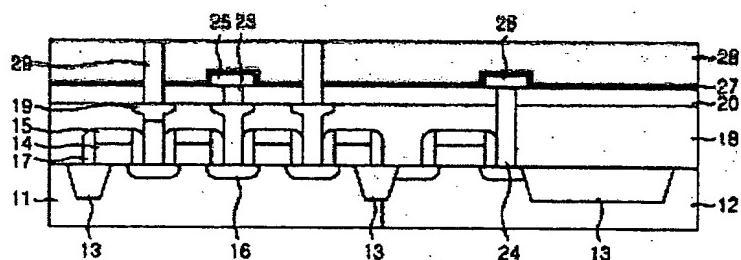
도면 B



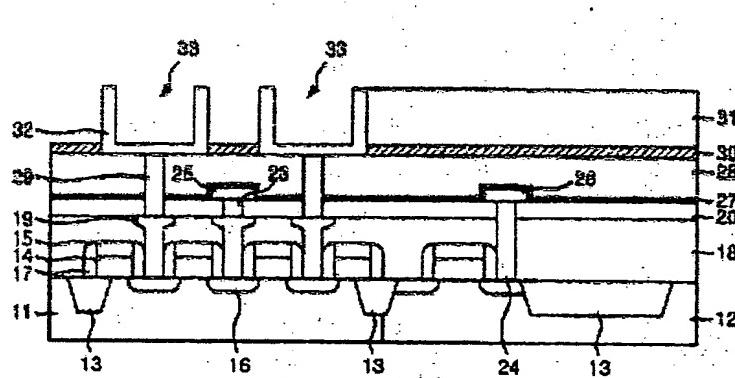
五图a



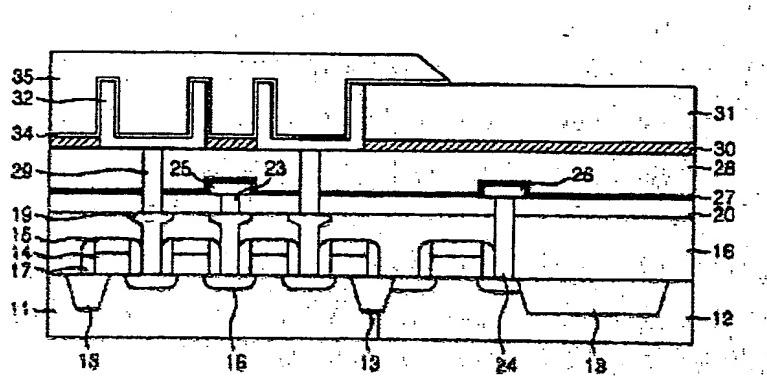
五图b



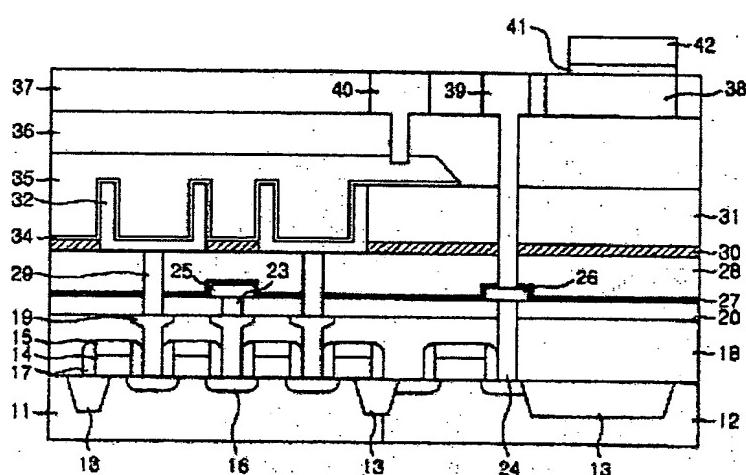
五图c



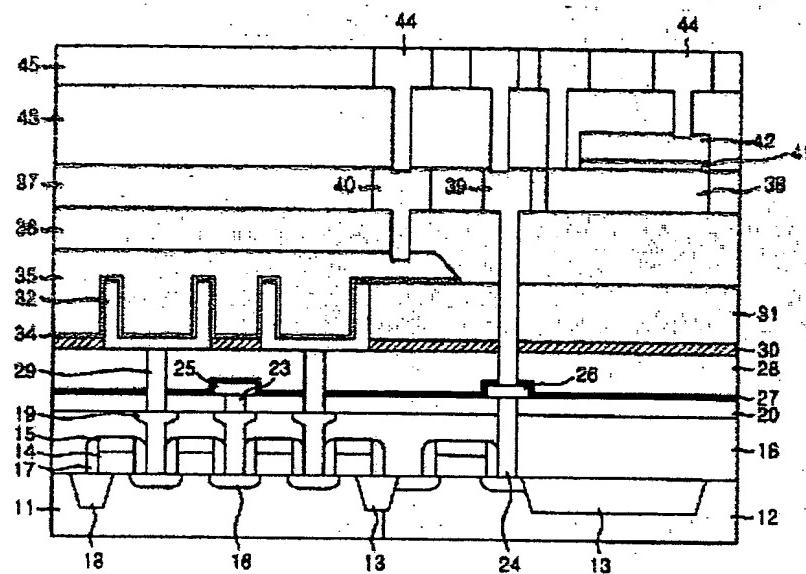
도면 1



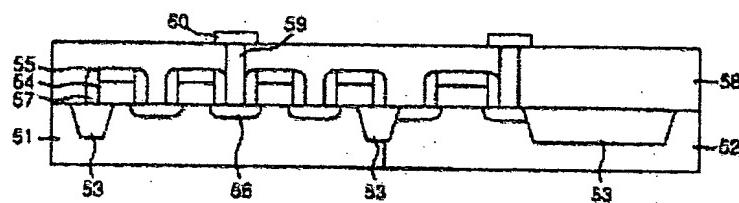
도면 2



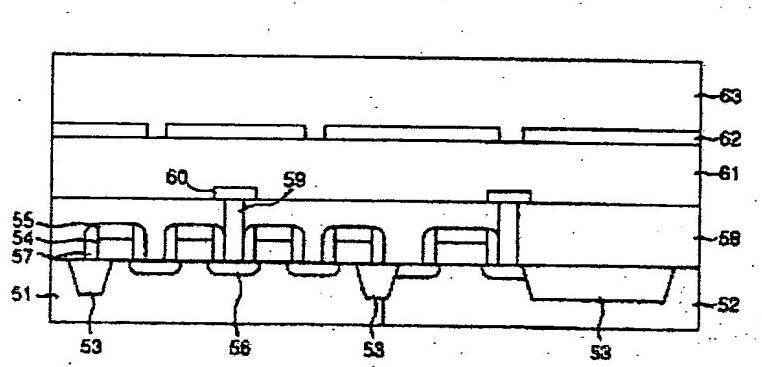
도면 5



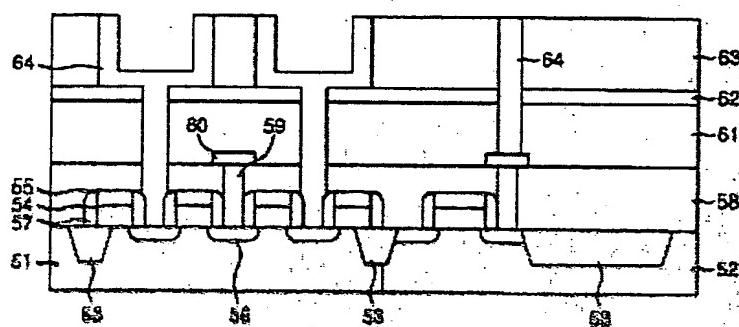
도면 6



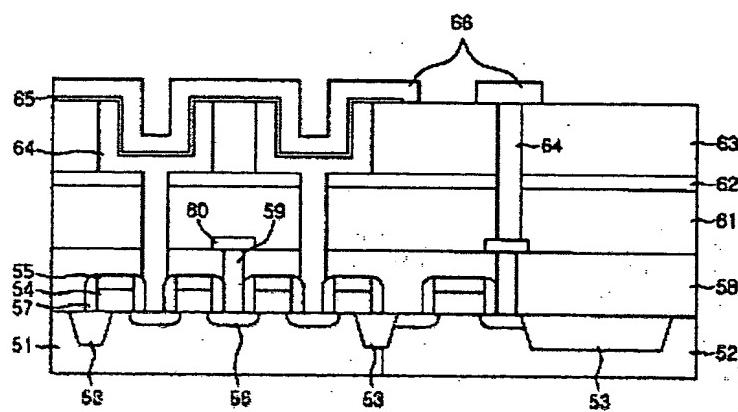
도면 7



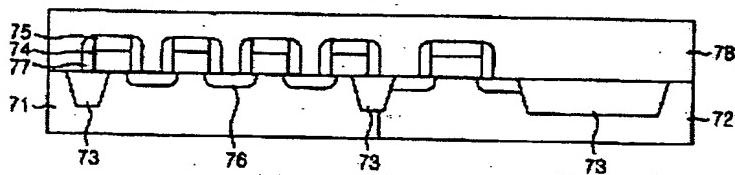
502a

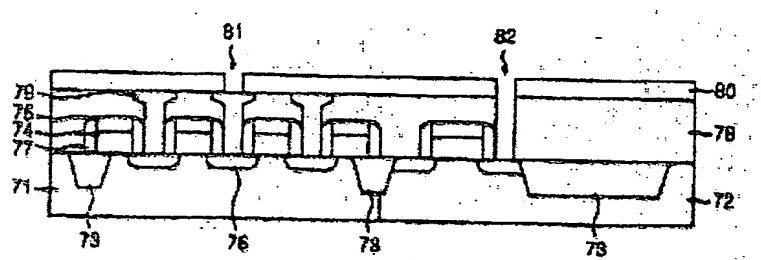
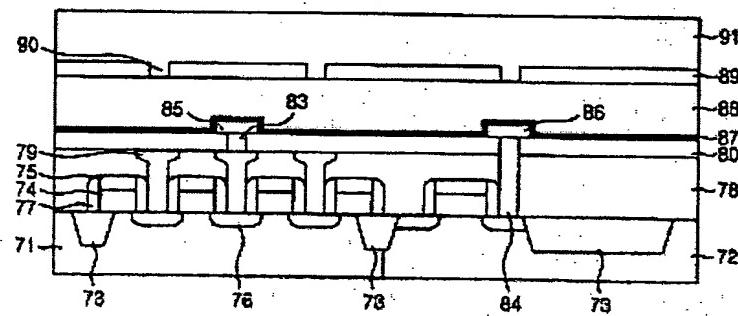
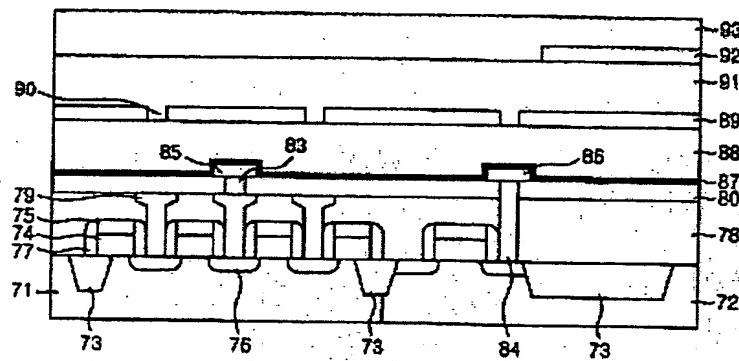


502b

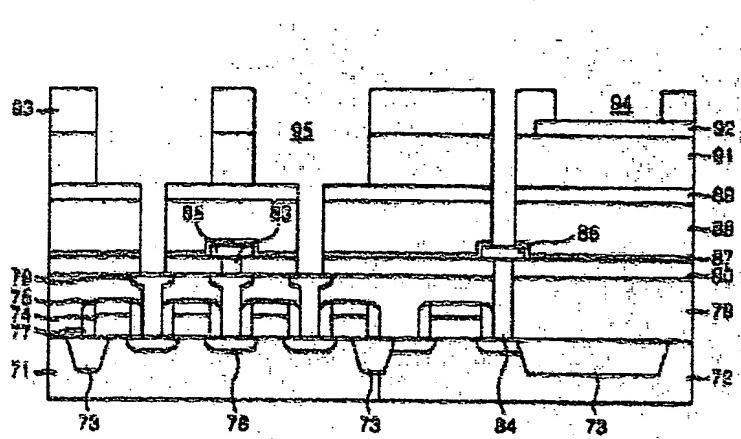


502c

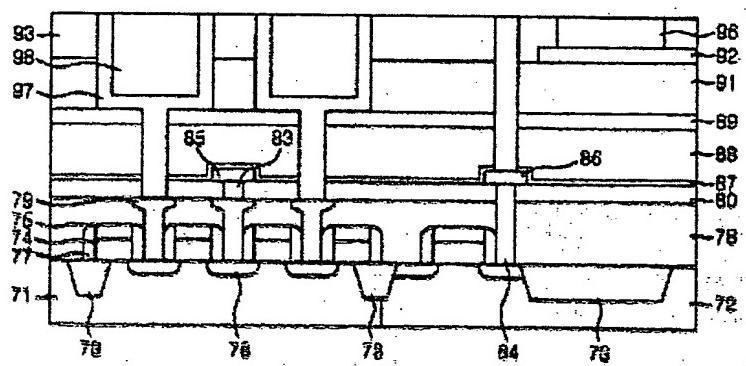


도면34**도면35****도면36**

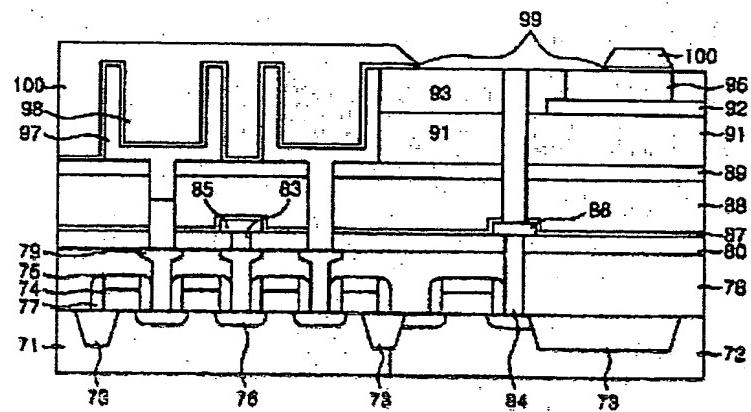
도면3

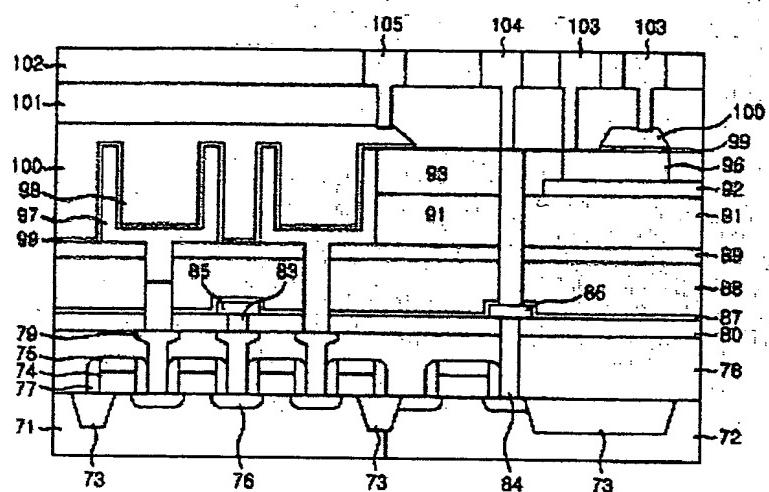


도면4



도면5



~~5035~~

NOTICE TO SUBMIT RESPONSE

Patent Applicant

Name: Samsung Electronics Co., Ltd. (Applicant Code: 119981042713)
Address: 416 Maetan-dong, Youngtong-gu, Suwon-City,
Kyunggi-do, Korea

Attorney

Name: Young-pil Lee
Address: Y.P.Lee, Mock & Partners
2F Cheonghwa Bldg., 1571-18 Seocho-dong, Seocho-ku, Seoul,
Korea

Application No.: 10-2002-0078905

Title of the Invention: Semiconductor device with MIM capacitor

According to Article 63 of the Korean Patent Law, the applicant is notified that the present application has been rejected for the reasons given below. Any Argument or Amendment which the applicant may wish to submit, must be submitted by February 17, 2005. An indefinite number of one-month extensions in the period for submitting a response may be obtained upon request, however no official confirmation of the acceptance of a request for an extension will be issued.

Reasons

The invention described in the claims of this application is not patentable according to Article 29 (3) of the Korean Patent Law, as the invention is identical with the invention described in the specification or drawings initially attached to Korea Patent Laid-open Publication 2003-37215 published in 2003 which was filed before and published after the filing of this patent application and, furthermore the inventor of this application is not the same as the inventor of the cited reference, and the applicant of this application and the applicant of the cited reference were not the same person at the time of filing.

In a semiconductor device with a MIM capacitor according to the present invention, the MIM capacitor includes a first interlevel dielectric having a first via hole on an upper electrode, an independent interconnection layer, a second interlevel dielectric having a second via hole exposing the independent interconnection layer, and an interconnection layer which is formed in the second via hole and connected to the upper electrode of the

MIM capacitor via the independent interconnection layer. On the other hand, Korean Patent laid-open Publication 2003-37215 (published on May 12, 2003), which is filed before and published after the filing of the present application, discloses a semiconductor device including a lower electrode of a capacitor, a dielectric of the capacitor, an upper electrode of a capacitor, a dielectric, a metal interconnection layer connected to the upper electrode, a dielectric, a metal interconnection layer sequentially stacked on a semiconductor substrate with a base structure. In comparison with the present invention and the cited reference, the semiconductor device with a MIM capacitor according to the present invention is identical with the semiconductor device according to the cited reference.

Enclosure: Korean Patent laid-open Publication 2003-37215 (published on May 12, 2003)

17 December 2004

Gi-eun Cho/Examiner
Electric Parts & Components Examination Division
Electric & Electronics Examination Bureau
Korean Industrial Property Office



MS Amendment

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

LW/C Date: 3-14-05
03-23-05 Doc. No. 5049-1118
A10 Serial No. 10/657,490
Inventor: Or et al

Sir: Kindly acknowledge receipt of the accompanying items listed below by placing your receiving stamp hereon and return mailing:

Application Transmittal and:

- Specification pages _____
 No. of Claims _____
 Declaration & POA _____
 Assignment and Fee _____
 Small Entity Statement _____
 Formal Drawings/ _____ sheets
 Associate Power of Attorney _____
 Exp. Mail _____ 1st Class Mail

Other: _____

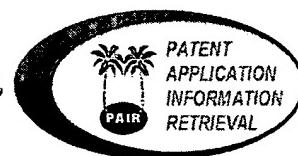
- Check \$ _____
 IDS & PTO-1449 & _____ refs.
 Amendment & Amend. Transmittal _____
 Preliminary Amendment _____
 Issue Fee _____
 Brief _____
 Appeal _____
 Submittal of Priority Data _____



Respectfully submitted,
MYERS BIGEL SIBLEY & SAJOVEC, P.A.
Attorneys for Applicant



United States Patent and Trademark Office

[Home](#) | [Site Index](#) | [Search](#) | [FAQ](#) | [Glossary](#) | [Guides](#) | [Contacts](#) | [eBusiness](#) | [eBiz alerts](#) | [News](#) | [Help](#)
PATENT APPLICATION INFORMATION RETRIEVAL

Search results as of: 4-14-2005::12:30:8 E.T.

Search results for application number: 10/657,490			
Application Number:	10/657,490	Customer Number:	20792
Filing or 371(c) Date:	09-08-2003	Status:	Allowed -- Notice of Allowance Mailed -- Issue Revision Completed
Application Type:	Utility	Status Date:	04-07-2005
Examiner Name:	TRAN, MAI HUONG C	Location:	ELECTRONIC
Group Art Unit:	2818	Location Date:	-
Confirmation Number:	2683	Earliest Publication No:	US 2004-0113190 A1
Attorney Docket Number:	5649-1118	Earliest Publication Date:	06-17-2004
Class/ Sub-Class:	257/296	Patent Number:	-
First Named Inventor:	Byung-jun Oh, Yongin-city, (KR)	Issue Date of Patent:	-
Title Of Invention:	INTEGRATED CIRCUIT DEVICES INCLUDING A MIM CAPACITOR		

Search Options

Assignments
Display References
Foreign Priority
Image File Wrapper
Patent Term Adjustment History
Publication Review
Published Documents

File History

Date	Contents Description
04-07-2005	Mail Notice of Allowance
04-06-2005	Issue Revision Completed
04-06-2005	Notice of Allowance Data Verification Completed
04-04-2005	Notice of Allowability
03-17-2005	Information Disclosure Statement (IDS) Filed
03-29-2005	Date Forwarded to Examiner
03-21-2005	Response after Ex Parte Quayle Action
02-18-2005	Mail Ex Parte Quayle Action (PTOL - 326)
02-16-2005	Ex Parte Quayle Action
02-10-2004	IFW TSS Processing by Tech Center Complete

02-10-2004	Case Docketed to Examiner in GAU
09-08-2003	Request for Foreign Priority (Priority Papers May Be Included)
12-09-2003	Application Return from OIPE
12-09-2003	Application Return TO OIPE
12-09-2003	Application Dispatched from OIPE
12-10-2003	Application Is Now Complete
11-20-2003	Cleared by OIPE CSR
10-12-2003	IFW Scan & PACR Auto Security Review
09-08-2003	Initial Exam Team nn